

支持 JESD204B 协议的 14 路输出时钟抖动清除器

特征

- 14 路输出可分别配置为 LVCMOS、LVDS、LVPECL 和 HSTL
- 最大输出频率：14 路输出均高达 1.25GHz
- 频率精度取决于外置的压控晶体振荡器 (启动频率精度： $< \pm 100\text{ppm}$)
- 每路输出均提供专用的 8 位分频器
 - 粗调延时：63 个步进，步长为射频压控振荡器分配器输出频率的一半，不受抖动影响
 - 微调延时：15 个步进，分辨率为 22ps
- 典型输出偏斜：20ps
- 针对奇数分频器提供占空比校正
- 输出绝对抖动： $< 160\text{fs}$ @122.88MHz (RMS 积分范围 12KHz 至 20MHz)
- 数字锁频检测
- 串口控制：SPI 和 I2C
- 双锁相环架构：PLL1 和 PLL2
- PLL1
 - 利用外部 VCXO 实现参考输入时钟清抖功能
 - 鉴相器频率最高 110MHz
 - 冗余参考输入
 - 保持模式支持参考输入丢失检测
 - VCXO 提供的低噪声 LVDS/HSTL 输出可用于射频或中频 (RF/IF) 频率合成器
- PLL2
 - 鉴相器频率最高 275MHz
 - 集成低噪声 VCO

应用

- 高性能无线收发器
- LTE 和多载波 GSM 基站
- 无线和宽带基础设备
- 医疗器械
- 为高速 ADCs, DACs, DDSs, DDCs 等提供时钟，支持 JESD204B 协议
- 低抖动、低相噪的时钟分配
- 高性能自动化测试设备

概述

GM5528 有两级锁相环，内部集成了 JESD204B SYSREF 发生器可用于用于多个设备同步。第一级锁相环 (PLL1) 通过减少系统时钟上的抖动提供输入参考调节。第二级锁相环 (PLL2) 提供高频时钟，实现低集成抖动以及来自时钟输出驱动器的低宽带噪声。外部 VCXO 提供 PLL2 所需的低噪声参考输入，以实现设备所需的低相位噪声和低抖动要求。片上 VCO 的调谐频率为 3.6GHz 至 3.95GHz。集成的 SYSREF 发生器输出单次、N 次或连续信号与 PLL1 和 PLL2 输出多个设备的时间同步对齐。

GM5528 可以产生 14 路输出，每路输出最高频率可达 1.25GHz。每路输出可以被配置为直接从 PLL1、PLL2 或内部 SYSREF 发生器输出。14 路输出通道中的每一路都包含一个带有粗略数字相位调整的分配器和一个模拟精细相位延迟模块，允许在所有 14 个输出中完全灵活地进行相位调整。

GM5528 工作在单环路模式时 (PLL2 工作，PLL1 关闭)，14 路输出也可以分别配置为设备时钟或者 SYSREF 同步时钟。

功能框图

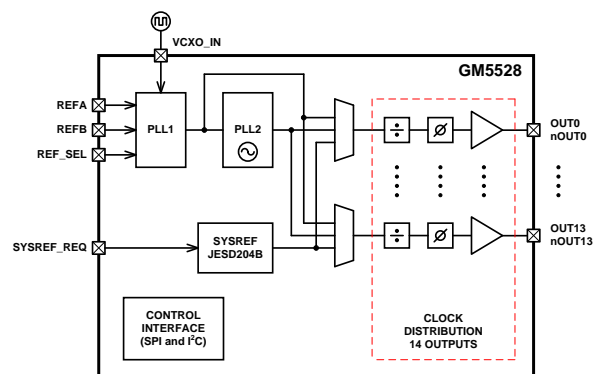


图 1, 功能框图

引脚配置 (QFN72-10x10mm)

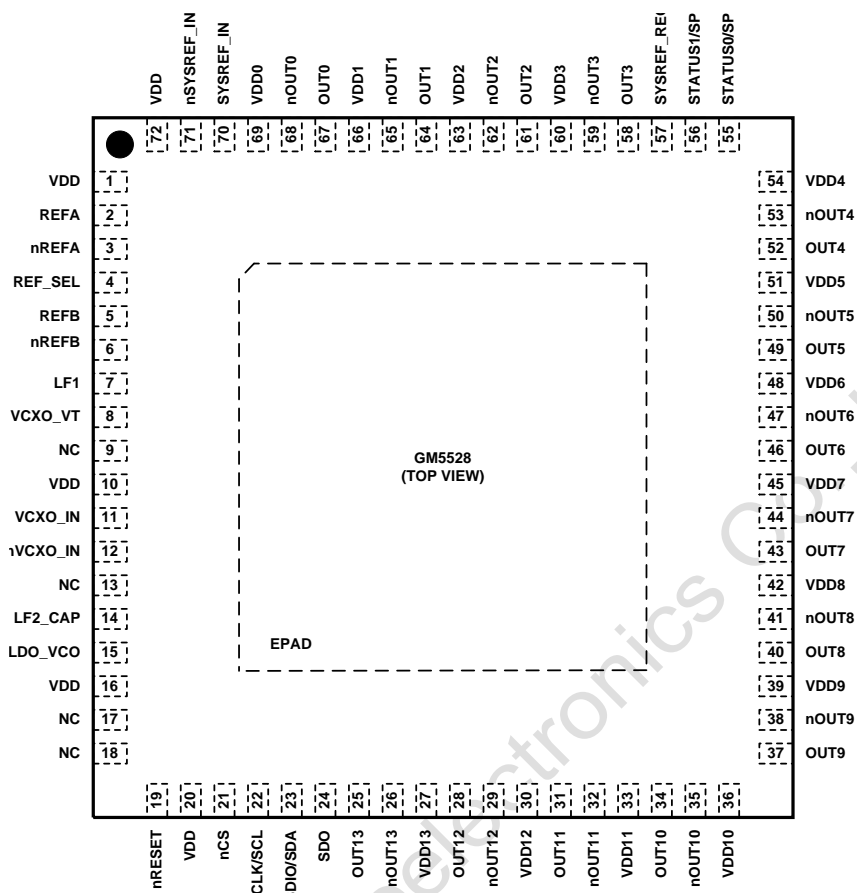


图 2, 引脚配置

引脚功能描述

表 1,

引脚序号	引脚名称	类型 ⁽¹⁾	描述
1	VDD	P	PLL1 输入部分的 3.3V 电源
2	REFA	I	参考时钟输入 A: 与 nREFA 一起, 该引脚是 PLL 参考的差分输入。另外, 这个引脚可以被编程为一个单端 3.3V 的 CMOS 输入。
3	nREFA	I	与 REFA 一起, 该引脚是 PLL 参考的差分输入。另外, 这个引脚也可以被编程为单端 3.3V 的 CMOS 输入。
4	REF_SEL	I	参考输入选择。参考输入选择功能默认为通过寄存器 0x0101, bit[7] 的软件控制 (需要外接下拉电阻到地)。当 REF_SEL 引脚激活时, 逻辑低电平选择 REFA, 逻辑高电平选择 REFB。
5	REFB	I	参考时钟输入 B: 与 nREFB 一起, 该引脚是 PLL 参考的差分输入。另外, 这个引脚可以被编程为一个单端 3.3V 的 CMOS 输入。
6	nREFB	I	与 REFB 一起, 该引脚是 PLL 参考的差分输入。另外, 这个引脚可以被编程为一个单端 3.3V 的 CMOS 输入。
7	LF1	O	PLL1 外部环路滤波器。
8	VCXO_VT	O	VCXO 控制电压。将此引脚连接到外部 VCXO 的电压控制引脚。
9	NC	NC	无内部连接。该引脚可以保持悬空。
10	VDD	P	为 PLL2 提供 3.3V 电源。
11	VCXO_IN	I	PLL1 振荡器输入。与 nVCXO_IN 一起, 这个引脚是 PLL 参考的差分输入。另外, 这个引脚也可以被编程为单端 3.3V CMOS 输入。